

Japanese Patent Office
Patent Laying-Open Gazette

Patent Laying-Open No. 63-81553

Date of Laying-Open: April 12, 1988

Internatinal Class(es): G06F 13/00
13/24
H04L 13/00 (5 pages in all)

Title of the Invention: A Method of Interruption Management

Patent Appln. No. 61-227386

Filing Date: September 25, 1986

Inventor(s): Keisuke Fukami
Masatsugu Washino
Yasuhisa Nakatsuji

Applicant(s): Sumitomo Electric Industries, Ltd.

Partial English Translation of Japanese Patent

Laying-Open No. 63-81553

...omitted...

<Industrial field of application>

The present invention relates to a method of interruption management and, more specifically, it relates to a method of interruption management suitable for a communication controlled device employing an FIFO buffer for storing received data.

...omitted...

<Embodiments>

Embodiments will be described in detail with reference to appended drawings.

Fig. 1 is a block diagram showing an embodiment of the device implementing the method of interruption management in accordance with the present invention.

Refereeing to the figure, data transmitted as serial data is converted to parallel data by means of a serial/parallel data converter (1), stored in an FIFO buffer (2) for the received data, and read by a host computer (3) as parallel data, in accordance with the

order of storage.

A data reception signal output from the aforementioned serial/parallel data converter (1) is fed to a reception data counter (4) and a reception timer (5). First control data output when the number of counts of reception data counter (4) reaches a prescribed number, and second control data output when measured time by reception timer (5) reaches a prescribed time period are supplied to a clear input terminal of an interruption inhibiting register (7) through an OR gate (6). Further, a data presence indication signal indicating that received data is stored in FIFO buffer (2) and an interruption condition signal from the interruption inhibiting register (7) are supplied to host computer (3) through an AND gate (8).

An FIFO empty flag output from an FIFO empty flag generating circuit (9) to which data absence indication signal from FIFO buffer (2) is fed as an input, is supplied to host computer (3), as well as to the reception data counter (4) and to reception timer (5) as a reset signal. The host computer (3) is adapted to supply a set signal to interruption inhibiting register (7) when the FIFO empty flag is input.

The operation of the interruption management device having the above described structure is as follows.

When there is not at all the received data stored in FIFO buffer (2), data absence indication signal is supplied to FIFO empty flag generating circuit (9), so that the FIFO empty flag is supplied to host computer (3), and the reset signal is supplied to reception data counter (4) and reception timer (5).

Therefore, at this time, host computer (3) supplies the set signal to interruption inhibiting register (7), thus closing AND gate (8), and surely prevents supply of the data reception interruption signal to the host computer (3). At the same time, the contents of reception data counter (4) and of reception timer (5) are reset.

Thereafter, when received data is supplied to FIFO buffer (2) through serial/parallel data converter (1), output of data absence indication signal is stopped, and data presence indication signal is supplied to AND gate (8). However, as AND gate (8) is closed by the interruption condition signal from interruption inhibiting register (7) which is at the set state, it does not supply a data reception interruption signal to host computer (3). However, the reception data counter (4) continuously counts the number of data every time the data is received, and the reception timer (5) measures time lapse from the time point when the supply of reset signal is stopped, that is, when the first data is stored in FIFO buffer (2).

When received data are satisfactorily stored in FIFO buffer (2), reception data counter (4) outputs the first control signal before the second control signal is output from reception timer (5). Accordingly, the first control signal is supplied to the clear terminal of interruption inhibiting register (7) through OR gate (6), and by the interruption condition signal from interruption inhibiting register (7), the AND gate (8) is opened. Thus data reception interruption signal is supplied to host computer (3), and a prescribed amount of received data stored in FIFO buffer (2) are read at one time.

By contrast, when received data is not satisfactorily stored in FIFO buffer (2), the second control signal is output from reception timer (5) before the first control signal is output from reception data counter (4). Therefore, the second control signal is supplied to the clear terminal of interruption inhibiting register (7) through OR gate (6), and AND gate (8) is opened by the interruption condition signal from interruption inhibiting register (7). Thus, data reception interruption signal is supplied to host computer (3) and received data stored in FIFO buffer (2) are read at one time.

In any case, when received data are read at one time by host computer (3), there is not any data left in FIFO buffer (2). Therefore, data absence indication signal is

supplied to FIFO empty flag generating circuit (9) so that FIFO empty flag and the reset signal are generated, and hence data reception interruption for host computer (3) is inhibited.

By repeating the above described operation, it becomes possible to read a prescribed amount of received data or data received within a prescribed time period collectively by the host computer (3). Therefore, overhead for the data reception interruption in host computer (3) can be relieved , and efficiency in data reception can be improved.

Fig. 2 is a block diagram showing a specific example of the communication control device to which the method of interruption management of the present invention is applied, in which a CPU (12), a memory controller (13), a memory (14), a disc controller (15), a floppy disk controller (16) and a serial line controller (17) and so on are connected to each other by a VERSE bus (11).

In the specific example, serial line controller (17) has the function of interruption management.

More specifically, as the FIFO buffer for the received data, an FIFO buffer having 128 stages with 9 bytes for one character is provided.

The reception data counter is implemented by a firm wear of a serial line controller, of which upper limit

number of counting is set to 64. More specifically, character number of data stored in FIFO buffer is counted and when the count reaches 64 characters, mask of the interruption inhibiting register is cleared, and a data reception interruption signal to CPU (12) is generated.

The reception timer is implemented by a programmable counter and time is measured in accordance with the program. The time period for measurement is set to 50 msec, for example. More specifically, the value of the programmable counter timer at the time point of reception of the first character is read by the program, and thereafter the value of the programmable counter timer is continuously read by a loop program. When the measured time reaches the aforementioned set time and the stored data in the FIFO buffer has not yet reached 64 characters, the mask of interruption inhibiting register is cleared, and data reception interruption signal to CPU (12) is generated.

Therefore, similar to the embodiment shown in fig. 1, in this example also a prescribed amount of received data or data received within a prescribed time period can be read by the CPU(12) at one time, overhead for the data reception interruption in CPU(12) can be relieved and efficiency in data reception can be improved.

In the above described embodiments, it is necessary

to appropriately set the number of counts by the reception data counter and the measurement time by the reception timer to the optimal values in accordance with the system structure.

⑫ 公開特許公報(A)

昭63-81553

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)4月12日

G 06 F 13/00

3 5 3

K-7218-5B

P-7218-5B

H 04 L 13/24

3 1 0

A-7737-5B

H 04 L 13/00

3 0 9

C-7240-5K

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 割込み管理方式

⑮ 特 願 昭61-227386

⑯ 出 願 昭61(1986)9月25日

⑰ 発 明 者 深 見 圭 介 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑱ 発 明 者 鷺 野 正 嗣 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑲ 発 明 者 中 辻 康 久 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑳ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

㉑ 代 理 人 弁理士 亀井 弘勝 外1名

明 細 書

1. 発明の名称

割込み管理方式

2. 特許請求の範囲

1. 受信データを蓄積するためにF I F Oバッファを使用する通信制御装置において、F I F Oバッファを監視して、ホストプロセッサへのデータ受信割込みを制御することを特徴とする割込み管理方式。
2. F I F Oバッファの監視が、F I F Oバッファ内の受信データの蓄積量、および受信状態を監視することにより行なわれ、ホストプロセッサへのデータ受信割込み制御が、上記蓄積量が所定量に達したこと、或は蓄積量が所定量に達する前に所定時間が経過したことを条件として、ホストプロセッサへのデータ受信割込みを発生させることにより行なわれるものである上記特許請求の範囲第1項記載の割込み管理方式。

3. 発明の詳細な説明

<産業上の利用分野>

この発明は割込み管理方式に関し、さらに詳細に言えば、受信データを蓄積するためにF I F Oバッファを使用する通信制御装置に好適な割込み管理方式に関する。

<従来の技術>

従来からデータ通信速度の高速化を達成するために、バッファを使用し、受信データを一時的にバッファに格納し、読出し可能なタイミングにおいて上記バッファに格納されているデータを読出す構成が採用されている。そして、上記バッファとして、管理が容易なF I F Oバッファが使用される場合がある。

この場合において、F I F Oバッファからのデータ読出しが可能なタイミングの検出、即ち、ホストコンピュータへのデータ受信割込みを行なわせるために、受信データの1キャラクタ毎にF I F Oバッファから受信割込み信号が出力されるようにしている。

＜発明が解決しようとする問題点＞

上記の構成の通信制御装置においては、1キャラクタの受信データがFIFOバッファに書込まれる毎にホストコンピュータに対するデータ受信割込み信号を供給するのであるから、ホストコンピュータの処理速度によっては、データ受信効率が著しく低下してしまうという問題がある。

さらに詳細に説明すると、FIFOバッファにおけるデータ受信速度がホストコンピュータの処理速度よりも早い場合には、FIFOバッファから出力される1キャラクタ毎のデータ受信割込み信号にホストコンピュータが追従しないので、結果的に、1回のデータ受信信号を受付けることにより複数キャラクタの受信データを読込むことができ、データ受信効率を良好に保持することができるのである。

しかし、ホストコンピュータの処理速度が高速化してくると、FIFOバッファから出力される1キャラクタ毎のデータ受信割込み信号がホストコンピュータにより受け付けられることになり、1

量に達する前に所定時間が経過したことを条件として、ホストプロセッサへのデータ受信割込みを発生させることにより行なわれるものであることが好ましい。

＜作用＞

以上の割込み管理方式であれば、受信データをFIFOバッファに蓄積させるようにした通信制御装置において、FIFOバッファを監視して、ホストプロセッサへのデータ受信割込みを制御することにより、ホストコンピュータの処理速度に拘わらず、ホストコンピュータに対するデータ受信割込み回数を減少させることができる。

また、上記FIFOバッファの監視が、FIFOバッファ内の受信データの蓄積量、および受信状態を監視することにより行なわれ、ホストプロセッサへのデータ受信割込み制御が、上記蓄積量が所定量に達したこと、或はデータを受信しない状態が所定時間に達したことを条件として、ホストプロセッサへのデータ受信割込みを発生させることにより行なわれるものである場合には、

回のデータ受信信号を受付けることにより、1キャラクタの受信データしか読込むことができなくなり、データ受信効率が著しく低下してしまうことになるのである。

＜発明の目的＞

この発明は上記の問題点に鑑みてなされたものであり、ホストコンピュータの処理速度が高速化した場合においてもデータ受信効率を高く保持することができる割込み管理方式を提供することを目的としている。

＜問題点を解決するための手段＞

上記の目的を達成するための、この発明の割込み管理方式は、FIFOバッファを監視して、ホストプロセッサへのデータ受信割込みを制御するものである。

但し、上記FIFOバッファの監視としては、FIFOバッファ内の受信データの蓄積量、および受信状態を監視することにより行なわれ、ホストプロセッサへのデータ受信割込み制御が、上記蓄積量が所定量に達したこと、或は蓄積量が所定

データが順次高速でFIFOバッファに受信されている状態において、FIFOバッファ内の蓄積データ量を監視して、蓄積量が所定量に達した時点においてのみホストコンピュータに対するデータ受信割込みを行なうので、所定量の受信データを一括してホストコンピュータにより読込ませることができる。

また、FIFOバッファに蓄積されるデータ量が所定時間以内に所定量に達しない場合には、所定時間が経過した時点でホストコンピュータに対するデータ受信割込みを行ない、その時点において蓄積されている受信データを一括してホストコンピュータにより読込ませることができ、データ読込みを必要以上に遅らせることを防止することができる。

＜実施例＞

以下、実施例を示す添付図面によって詳細に説明する。

第1図はこの発明の割込み管理方式を実施するための装置の一実施例を示すブロック図である。

図において、直列データとして伝送されてくるデータは、直並列データ変換器(1)により並列データに変換された後、受信データ用FIFOバッファ(2)に格納され、格納順に並列データのままでホストコンピュータ(3)により読出される。

また、上記直並列データ変換器(1)から出力されるデータ受信信号が受信データカウンタ(4)、および受信タイマ(5)に供給され、受信データカウンタ(4)におけるカウント数が所定数に達した時点で出力される第1の制御データ、および受信タイマ(5)における計時時間が所定時間に達した時点で出力される第2の制御データが、ORゲート(6)を通して割込禁止レジスタ(7)のクリア入力端子に供給され、さらに、FIFOバッファ(2)に受信データが格納されていることを示すデータ存在指示信号、および上記割込禁止レジスタ(7)からの割込条件信号がANDゲート(8)を通してホストコンピュータ(3)に供給されている。

尚、上記FIFOバッファ(2)からのデータ不存在指示信号を入力とするFIFOエンブティフラ

グ生成回路(9)から出力されるFIFOエンブティフラグをホストコンピュータ(3)に供給しているとともに、上記受信データカウンタ(4)、および受信タイマ(5)に対してリセット信号として供給している。また、上記ホストコンピュータ(3)は、上記FIFOエンブティフラグを入力として、上記割込禁止レジスタ(7)に対してセット信号を供給するようにしている。

上記の構成の割込み管理装置の動作は次のとおりである。

FIFOバッファ(2)に受信データが全く格納されていない状態においては、データ不存在指示信号をFIFOエンブティフラグ生成回路(9)に供給することにより、ホストコンピュータ(3)にFIFOエンブティフラグを供給するとともに、受信データカウンタ(4)、および受信タイマ(5)にリセット信号を供給する。

したがって、この時点において、ホストコンピュータ(3)が割込禁止レジスタ(7)に対してセット信号を供給することにより、ANDゲート(8)を閉じ、

ホストコンピュータ(3)に対するデータ受信割込み信号の供給を確実に阻止する。また、同時に受信データカウンタ(4)の内容、および受信タイマ(5)の内容をリセットする。

その後、直並列データ変換器(1)を通してFIFOバッファ(2)に受信データが供給されれば、データ不存在指示信号の出力が停止され、代わりにデータ存在指示信号がANDゲート(8)に供給される。しかし、ANDゲート(8)は、セット状態における割込禁止レジスタ(7)からの割込条件信号により閉じられているので、ホストコンピュータ(3)に対してデータ受信割込み信号を供給することはない。但し、上記受信データカウンタ(4)においては、データが受信される毎にデータ数をカウントし、上記受信タイマ(5)においては、上記リセット信号の供給が停止させられた時点、即ち、最初のデータがFIFOバッファ(2)に格納された時点から経過時間を計時する。

そして、受信データが順調にFIFOバッファ(2)に格納された場合には、受信タイマ(5)から第2

の制御信号を出力する前に受信データカウンタ(4)が第1の制御信号を出力する。したがって、第1の制御信号がORゲート(6)を通して割込禁止レジスタ(7)のクリア端子に供給され、割込禁止レジスタ(7)からの割込条件信号によりANDゲート(8)が開かれるので、ホストコンピュータ(3)に対してデータ受信割込信号を供給し、FIFOバッファ(2)に格納されている所定量の受信データを一括して読込ませる。

逆に、受信データが順調にFIFOバッファ(2)に格納されない場合には、受信データカウンタ(4)から第1の制御信号を出力する前に受信タイマ(5)が第2の制御信号を出力する。したがって、第2の制御信号がORゲート(6)を通して割込禁止レジスタ(7)のクリア端子に供給され、割込禁止レジスタ(7)からの割込条件信号によりANDゲート(8)が開かれるので、ホストコンピュータ(3)に対してデータ受信割込信号を供給し、FIFOバッファ(2)に格納されている受信データを一括して読込ませる。

そして、何れの場合においても、ホストコンピュータ(3)により受信データを一括して読込んだ場合には、FIFOバッファ(2)にデータが存在しない状態になるので、データ不存指示信号をFIFOエンプティフラグ生成回路(9)に供給することにより、FIFOエンプティフラグ、およびリセット信号を生成するので、再びホストコンピュータ(3)に対するデータ受信割込みが禁止される。

以下、上記動作を反復することにより、所定量ずつの受信データ、または所定時間内に受信したデータを一括してホストコンピュータ(3)に読込むことができ、ホストコンピュータ(3)におけるデータ受信割込みに対するオーバーヘッドを軽減して、データ受信効率を向上させることができる。

第2図はこの発明の割込み管理方式を適用する通信制御装置の一具体例を示すブロック図であり、VERSAバス(11)を介してCPU(12)、メモリコントローラ(13)、メモリ(14)、ディスクコントローラ(15)、フロッピーディスクコントローラ

(16)、およびシリアルラインコントローラ(17)等が互に接続されている。

そして、上記の具体例においては、シリアルラインコントローラ(17)が割込み管理機能を具備している。

具体的に説明すれば、受信データ用のFIFOバッファとして1キャラクタ9ビット、128段のFIFOバッファを有している。

そして、受信データカウンタは、シリアルラインコントローラのファームウェアで構成されており、カウント限界数を64に設定している。即ち、FIFOバッファに格納されるデータのキャラクタ数をカウントして、64キャラクタに達した時点で割込禁止レジスタのマスクをクリアし、CPU(12)へのデータ受信割込信号を生成するようにしている。

また、受信タイマは、プログラマブルカウンタタイマで構成され、プログラムにより時間が計測される。そして、計時時間は例えば50nsecに設定されている。即ち、第1番目のキャラクタを受信

した時点におけるプログラマブルカウンタタイマの値をプログラムにより読取り、その後、プログラマブルカウンタタイマの値をループプログラムにより読取り続ける。そして、上記計時時間に達した時点でFIFOバッファへの格納データが64キャラクタに達していなければ、割込禁止レジスタのマスクをクリアし、CPU(12)へのデータ受信割込信号を生成するようにしている。

したがって、この場合にも、第1図の実施例と同様に、所定量の受信データ、或は所定時間内に受信された受信データを一括してCPU(12)により読込むことができ、CPU(12)におけるデータ受信割込みに対するオーバーヘッドを軽減して、データ受信効率を向上させることができる。

尚、上記各実施例において、受信データカウンタによるカウント数、および受信タイマによる計時時間は、システム構成に応じて適正値に設定することが必要である。

<発明の効果>

以上のようにこの発明は、FIFOバッファに

所定量の受信データが格納された場合、或はFIFOバッファへの最初のデータ格納から所定時間が経過した時点でホストコンピュータに対してデータ受信割込みを行なうようにしているので、多量のデータを一括してホストコンピュータに読込むことができ、ホストコンピュータにおけるデータ受信効率を向上させることができるという特有の効果奏する。

4. 図面の簡単な説明

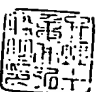
第1図はこの発明の割込み管理方式を実施するための装置の一実施例を示すブロック図、

第2図はこの発明の割込み管理方式を適用する通信制御装置の一具体例を示すブロック図、

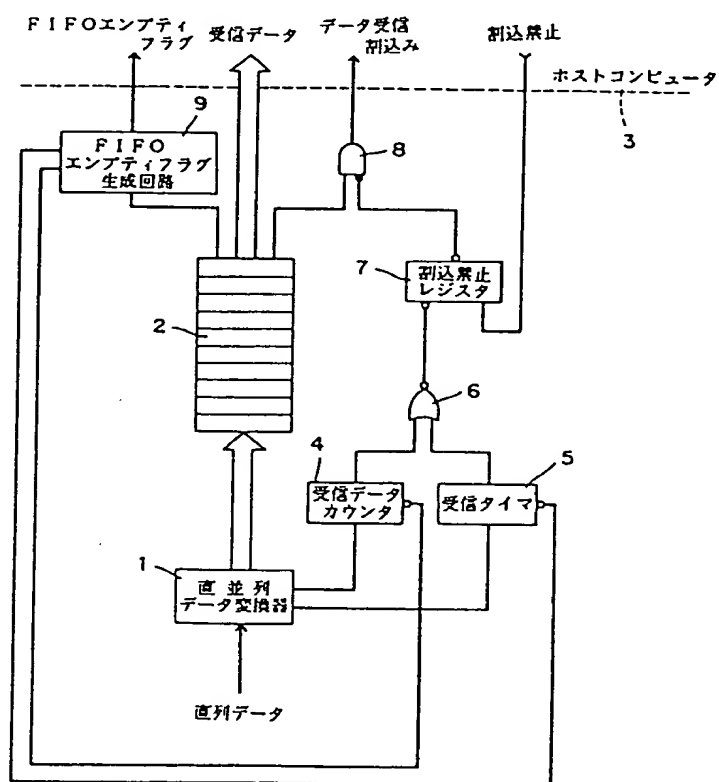
特許出願人 住友電気工業株式会社

代理人 弁理士 池井 弘 勝

(ほか3名)



第 1 圖



第 2 図

